

89-190152/26
EPSON CORP

L03 T04 U14

SHIH 16.11.87
+JO 1130-131-A

16.11.87-JP-288650 (23.05.89) G02f-01/13 G09g-03/36

Drivers built-in active matrix panel - comprises two X-drivers, Y-driver data line gps. and scanning line gps. on insulating substrate
C89-084250

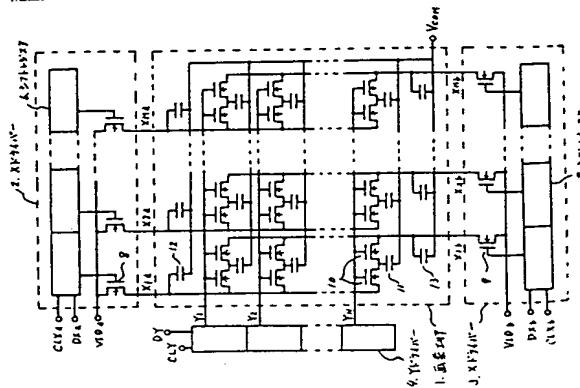
Two X drivers (2, 3), a Y driver (4), data line gps., and scanning line gps. are provided on an insulating substrate. The drivers are used for driving at least one of the data lines or the scanning lines. Picture element electrodes are driven by the thin film transistor (TFT) arrays provided at the cross point of the data lines and the scanning lines to drive liq. crystal.

The picture element area (1) consists of scanning lines (N pieces), and two TFTs. The drain electrode of each TFT is commonly connected to one of each picture elemtn. The gate electrodes of the two TFTs are connected to common scanning lines. The source electrodes are connected to the two adjoining signal lines, Odd number-row signal lines and even number-row signal lines are independently driven.

USE/ADVANTAGE - The panel is used for displaying data such as characters. The picute element TFTs end the signal lines have redundancy. When one of the two TFTs is normal, a regular signal is provided. The two TFTs are provided with different signals, using the built-in drivers. The results electrically and optically obtain the

L(3-G5)

address of the defective TFT. The use of the built-in drivers detects the faulty part and collects the faulty part, using laser trimming. The result produces nondefective active matrix panel with high yield. (5pp Dwg.No.1/4)



© 1989 DERWENT PUBLICATIONS LTD.
128, Theobalds Road, London WC1X 8RP, England
US Office: Derwent Inc., 1313 Dolley Madison Boulevard,
Suite 303, McLean, VA22101, USA
Unauthorised copying of this abstract not permitted.

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 平1-130131

⑩ Int.Cl.⁴

G 02 F 1/133
G 09 G 3/36

識別記号

327

庁内整理番号

7370-2H
8621-5C

⑬ 公開 平成1年(1989)5月23日

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 ドライバー内蔵アクティプマトリクスパネル

⑮ 特願 昭62-288650

⑯ 出願 昭62(1987)11月16日

⑰ 発明者 松枝 洋二郎 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑱ 出願人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
会社

⑲ 代理人 弁理士 最上 務 外1名

明細書

1. 発明の名称

ドライバー内蔵アクティプマトリクスパネル

2. 特許請求の範囲

(1) 絶縁基板上に、複数のデータ線群、走査線群、及び前記データ線及び走査線の少なくとも一方を駆動するためのドライバーを備え、前記データ線及び走査線の交点に設けられた薄膜トランジスタ（以下 TFT と略記）アレイによって西素電極を駆動し液晶を駆動して成るドライバー内蔵アクティプマトリクスパネルにおいて、以下の構成を有することを特徴とするドライバー内蔵アクティプマトリクスパネル。

N本の走査線と2M本の信号線、及びM×N個の西素電極と、各西素電極の1つにドレイン電極が、共通に接続された2つのTFTを備え、前記の2つのTFTのゲート電極は共通の走査線に接続され、ソース電極は隣接する2本の信号線に接

続され、奇数列目の信号線と偶数列目の信号線をそれぞれ独立に駆動できる内蔵ドライバーを備えている。

(2) 前記西素TFT及び内蔵ドライバーを構成するTFTはポリシリコン薄膜を用いて形成されることを特徴とする特許請求の範囲第1項記載のドライバー内蔵アクティプマトリクスパネル。

3. 発明の詳細な説明

〔西素上の利用分野〕

本発明はドライバー内蔵アクティプマトリクスパネルの構成に関する。

〔従来の技術〕

従来の、ドライバー内蔵アクティプマトリクスパネルの、例としては「SID（エス・アイ・ディー）84ダイジェストP.316両角仙」がある。第2図はその回路図の例である。21は、西素エリア、22はXドライバー、24はYドライバーである。西素エリア21は、信号線X₁、X₂、X_Hと走査線Y₁、Y₂、Y_M、及びそれら

の交点に配置された画素 TFT 30 とから成る。画素 TFT 30 には画素電極が接続され、対向電極 $V_{c0..n}$ との間に容量 31 が存在する。32 は信号線と対向電極間の容量である。X ドライバー 22 は、シフトレジスタ 26 とアナログスイッチ TFT 28 とから成る。VID は画素信号入力端子、CLX、CLY はクロック信号、DX、DY はドライバーの動作入力信号の端子である。

(発明が解決しようとする問題)

しかし、前述の従来技術では以下に述べるような問題点を有する。すなわち、アクティブマトリクスパネルは、大面積に数万～数百万個もの能動素子を作製する必要があり、無欠陥のパネルを作るのは本質的に極めて難しいという点である。特に、画面サイズの大型化、画面の高精細化に伴い歩留まりは一層低下する。

一方、アクティブマトリクスパネルをキャラクタなどのデータ表示に用いる場合、無欠陥であることはもちろん、すべての画素が与えられた信号に対して忠実な階調表示をする必要がある。この

ようなパネルを従来技術で作製するのはほとんど不可能である。

本発明はこのような問題点を解決するものであり、その目的とするところは、データ表示に適した無欠陥のアクティブマトリクスパネルを、ドライバーを内蔵し低コストで高い歩留まりで作製できるようにするところにある。

(問題点を解決するための手段)

本発明のドライバー内蔵アクティブマトリクスパネルは以下の構成を有することを特徴とする。

N 本の走査線と 2M 本の信号線、及び $M \times N$ 個の画素電極と、各画素電極の 1 つにドレン電極が共通に接続された 2 つの TFT を備え、前記 2 つの TFT のゲート電極は共通の走査線に接続され、ソース電極は隣接する 2 本の信号線に接続され、奇数列目の信号線と偶数列目の信号線をそれぞれ独立に駆動できる内蔵ドライバーを備えている。

(作用)

本発明の上記の構成を用いたドライバー内蔵ア

クティブマトリクスパネルは、画素 TFT と信号線に冗長性を持たせており、各画素の 2 つの TFT のうちどちらかが正常であれば正規の信号を与えることができる。一方、これらの 2 つの TFT には、内蔵ドライバーを用いて異なる信号を与えることができ、電気的、光学的に簡単に不良 TFT のアドレスを検出することができる。

(実施例)

第 1 図は、本発明の 1 実施例を示すドライバー内蔵アクティブマトリクスパネルの回路図の例である。ドライバー内蔵アクティブマトリクスパネルは、画素エリア 1 と X ドライバー 2、3 及び Y ドライバー 4 とから成っている。本実施例においては信号線と画素 TFT に冗長性があり、画素エリア 1 は、2M 本の信号線と N 本の走査線及び $M \times N$ 個の画素電極と、各画素電極の 1 つにドレン電極が共通に接続された 2 つの画素 TFT 10 とから成り、この画素 TFT のゲート電極は共通の走査線に、ソース電極は隣接する 2 本の信号線に接続されている。11 は画素電極と対向電極 $V_{c0..n}$

$c0..n$ との間の液晶の容量であり、12、13 は信号線と、 $V_{c0..n}$ との間の液晶の容量である。信号の、保持特性を改善するため、これらの容量に並列に、容量を付加することもある。奇数列目の信号線 $X_{1..n}$ 、 $X_{2..n}$ 、 $X_{n..n}$ は X ドライバー 2 で、偶数列目の信号線 $X_{0..n}$ 、 $X_{1..n}$ 、 $X_{n..n}$ は X ドライバー 3 で、走査線 Y_1 、 Y_2 、 Y_n は全て、Y ドライバー 4 で駆動する。X ドライバー 2、3 はシフトレジスタ 6、7 とアナログスイッチ TFT アレイ 8、9 とから成る。このアナログスイッチのかわりにラッチ回路を設けて段順次ドライバーとすることもできる。CLxa、CLxb はシフトレジスタ 6、7 のクロック入力端子、Dxa、Dxb はシフトレジスタ 6、7 のスタート信号入力端子、VIDa、VIDb は画像信号入力端子である。Y ドライバーはシフトレジスタで、CLY はクロック、DY はスタート信号の入力端子である。

本実施例においては 1 つの画素に 2 つの TFT を備えているため、どちらか一方の TFT が不良

であっても他の TFT が正常であれば、不良 TFT をレーザトリミング等を用いて切断して修正できる。修正した画素には正規の信号が与えられるため、本実施例ではキャラクタなどのデータ表示にも対応できる無欠陥のアクティブマトリクスパネルを高い歩留まりで作製できる。一方、不良部分のアドレスを検出する場合、本実施例においては信号線に冗長性を有しつつ奇数列目と偶数列目の信号線を独立に駆動できるため、電気的あるいは光学的に簡単に検出できる。以下、その具体的な方法について説明する。

第1の方法は、電気的に検出する方法である。一般に TFT の不良にはショートとオーブンの2つのモードがあるが、後者については特に修正する必要はないので、前者の検出方法について述べる。第3図(a)は TFT のゲート・ソース間及びゲート・ドレイン間のショートを検出する方法である。この図のように走査線を順次選択し、画像信号入力端子 V_{IDa}、V_{IDb} にそれぞれ電流計を接続して、信号線を順次選択していくばシ

ョートしているアドレスを簡単に求めることができる。2つの TFT のどちらがショートしているかは、検出された電流値の大きさで判別する。なお、全アドレスについてこの測定を行なうのはかなり時間を要するため、まず全ての走査線と信号線を同時に選択し、もしリーク電流が検出されれば、走査線を1本ずつ順次選択し、リーク電流が再び検出された走査線で Y ドライバーの動作を止め、信号線を1本ずつ選択しアドレスを求めるといった方法が効率的である。第3図(b)は TFT のソース・ドレイン間のショートを検出する方法で、2つの TFT の直列抵抗を求めている。もし、どちらかの TFT のソース・ドレイン間がショートしていれば、この抵抗は約半分となる。ただし、2つの TFT のどちらが不良かはこの状態では判断できないため、外観検査か画素電極に直接プローピングして調べる必要がある。通常は、ソース・ドレイン間のショートは平面図なパターン不良がおもなので外観検査で対応がつくことが多い。第3図(c)は TFT の不良ではなく、信

号線間のショートを求める方法である。本実施例のように信号線に冗長性を持たせる場合、画素電極間の2本の信号線がショートするような事も起り得る。そのような不良はこの図のように順次選択する2本の信号線を順次選択し、それらの信号線間のリーク電流を検出することで可能になる。この場合、電気的に Y 側のアドレスを求めるのは不可能だが、パターン不良がおもな原因なので外観検査で場所を求めて修正することができる。

第2の方法は光学的に検出する方法である。この検査は液晶を封入した後行なう。この方法は簡単で、X ドライバー 2 のみを使って画像を表示した場合を甲、X ドライバー 3 のみを使って画像を表示した場合を乙とすると、甲と乙を比較して不良 TFT のアドレスを求めるという方法である。

アクティブマトリクス基板の断面図を第4図に示す。40は絶縁基板、41はゲート電極、42はゲート絶縁膜、43はチャネル部、44、45はそれぞれソース・ドレイン電極、46は層間絶縁膜、47は信号線、48は画素電極である。内

部ドライバーを構成する TFT も同じ構造で、画素 TFT と同時に作製する。

(発明の効果)

以上述べたように、本発明のドライバー内蔵アクティブマトリクスパネルは、画素 TFT と信号線に冗長性を持たせてあり、各画素の2つの TFT のうちどちらかが正常であれば正規の信号を与えることができる。一方、これらの2つの TFT には、内蔵ドライバーを用いて異なる信号を与えることができ、電気的、光学的に簡単に、不良 TFT のアドレスを求めることができる。従って、内蔵ドライバーを用いて不良部分を検出し、レーザートリミング等によって修正すれば、データ表示に適した無欠陥のアクティブマトリクスパネルを高い歩留まりで作製できる。特に高精細なパネルにおいては、通常のプロープカード等を用いた検査方法ではこのような検査は不可能だが、本発明によればドライバーの動作が可燃性限り非常に高精細のパネルにも対応できる。しかも検査に要する時間も短くてすみ、コストアップにはならない。

い。また、ドライバー内蔵であるからパネルは小型程度で製造コストも安い。

4. 図面の簡単な説明

第1図はドライバー内蔵アクティブマトリクスパネルの回路図。

第2図は従来のドライバー内蔵アクティブマトリクスピネルの回路図。

第3図 (a)、(b)、(c) は不良部分の検出方法を示す図。

第4図はアクティブマトリクス基板の断面図。

1、21…画素エリア

2、22…Xドライバー

4、24…Yドライバー

6、7、26…シフトレジスタ

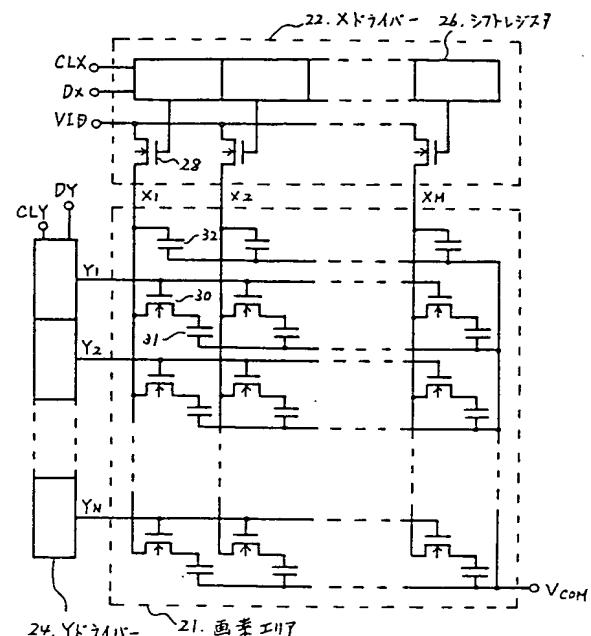
8、9、28…アナログスイッチTFT

10、30…画素TFT

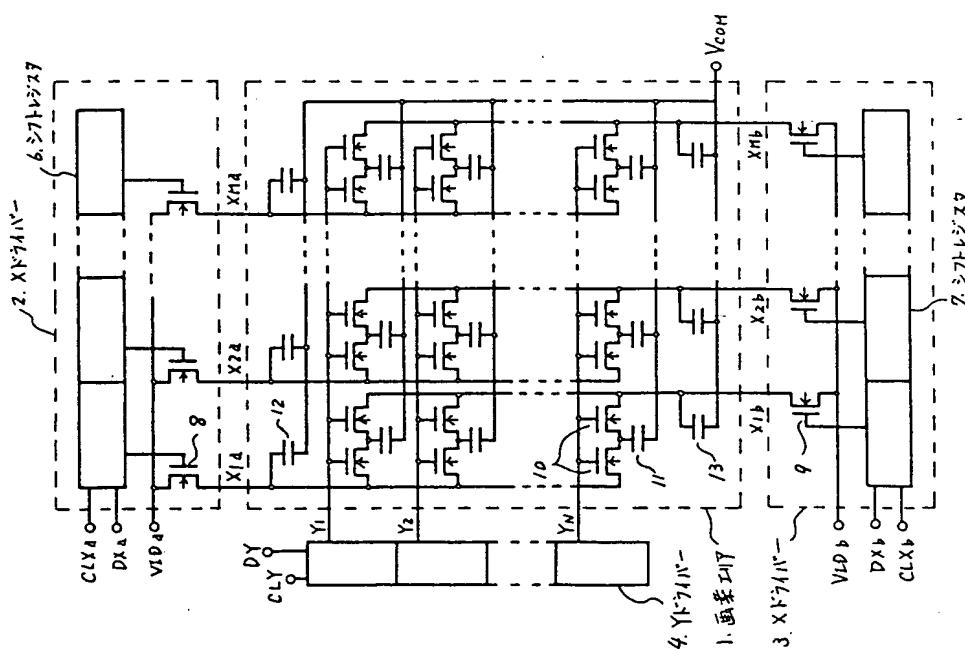
以上

出願人 セイコーエプソン株式会社

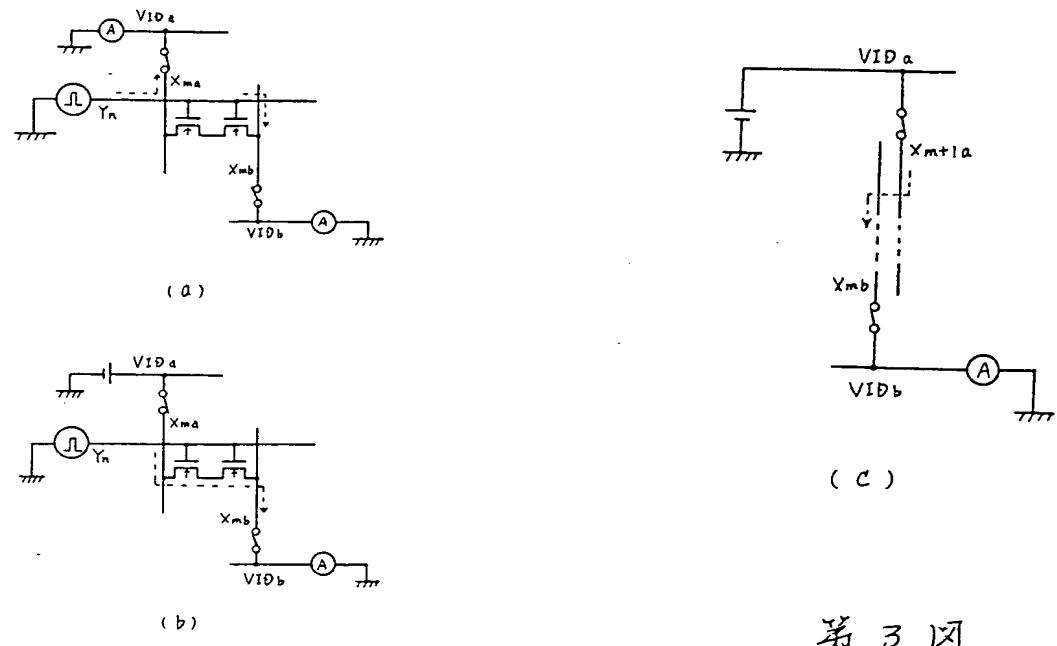
代理人 弁理士 最上 務 1名



第2回

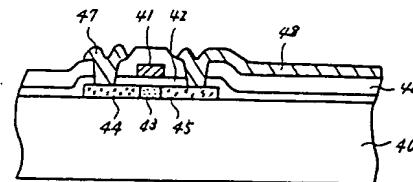


第1回



第3回

第3回



- 40 --- 絶縁基板
- 41 --- T-^トゲート
- 42 --- ゲート絶縁膜
- 43 --- チャネル
- 44 --- ソース
- 45 --- ドレイン
- 46 --- 層間絶縁膜
- 47 --- 信号線
- 48 --- 画素電極

第4回